

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-250872

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

G06F 11/22

(21)Application number : 05-035330

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 24.02.1993

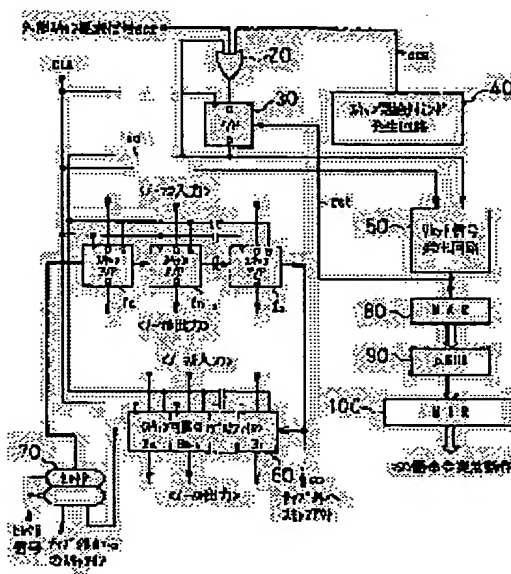
(72)Inventor : OHASHI KAZUHIKO

(54) INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide an integrated circuit capable of observing internal flip flops (FFs) by a built-in scanning function and improving the efficiency of defect analysis in its loaded state on a user board with simple constitution.

CONSTITUTION: The integrated circuit is constituted of a scanning chain S consisting of plural FFs f1 to fn, B1 to Bn to be scanned, a scanning timing instructing means 40 for instructing the starting timing of scanning operation of the chain S and an indicating means 50 for indicating the end timing of scanning operation and indicating the start of a microinstruction, a machine code instruction or both of the instructions while considering the length of the chain S. Data are read out/written from/in the FFs B1 to Bn by the microinstruction and the machine code instruction based upon an indication from the indicating means.



LEGAL STATUS

[Date of request for examination] 28.07.1999

[Date of sending the examiner's decision of rejection] 20.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-250872

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁵

G 0 6 F 11/22

識別記号

3 6 0 P 7737-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21)出願番号 特願平5-35330

(22)出願日 平成5年(1993)2月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 大橋 一彦

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

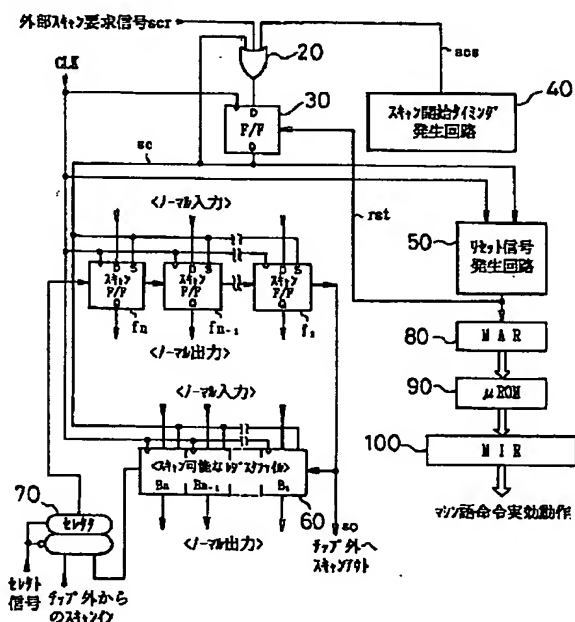
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 集積回路

(57)【要約】

【目的】 本発明は集積回路が簡単な構成のユーザボード上に搭載されている状態で、内蔵されているスキャン機能により内部フリップ・フロップを観測可能とし、不良解析効率を向上させた集積回路を提供することを目的とする。

【構成】 複数のスキャン可能なフリップ・フロップ $f_1 \sim f_n$ 及び $B_1 \sim B_n$ からなるスキャンチェーン S と、スキャンチェーン S のスキャン動作開始のタイミングを指示するスキャンタイミング指示手段 40 と、スキャンチェーン S の長さを考慮して、スキャン動作終了のタイミング指示すると共に、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方の起動を指示する指示手段 50 とを有して構成し、フリップ・フロップ $B_1 \sim B_n$ は、指示手段 50 の指示に基づきマイクロ命令、機械語命令により、読み出し、書き込みが行なわれる。



1

【特許請求の範囲】

【請求項1】 複数のスキャン可能なフリップ・フロップからなるスキャンチェーンを有し、前記スキャンチェーンを構成するフリップ・フロップの一部または全部が、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が可能であることを特徴とする集積回路。

【請求項2】 複数のスキャン可能なフリップ・フロップからなるスキャンチェーンを有し、前記スキャンチェーンをスキャン動作させる時に、前記スキャンチェーンを構成する一部のフリップ・フロップに、当該集積回路外部にスキャンアウトされるデータを保持し、前記スキャンデータを保持する一部のフリップ・フロップは、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が可能であることを特徴とする集積回路。

【請求項3】 複数のスキャン可能なフリップ・フロップからなるスキャンチェーンと、前記スキャンチェーンのスキャン動作開始のタイミングを指示するスキャンタイミング指示手段とを有し、前記スキャンタイミング指示手段の指示により前記スキャンチェーンをスキャン動作させる時に、前記スキャンチェーンを構成する一部のフリップ・フロップに、当該集積回路外部にスキャンアウトされるデータを保持し、前記スキャンデータを保持する一部のフリップ・フロップは、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が可能であることを特徴とする集積回路。

【請求項4】 複数のスキャン可能なフリップ・フロップからなるスキャンチェーンと、前記スキャンチェーンのスキャン動作開始のタイミングを指示するスキャンタイミング指示手段と、前記スキャンチェーンの長さを考慮して、スキャン動作終了のタイミングを指示すると共に、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方の起動を指示する指示手段とを有し、前記スキャンタイミング指示手段の指示により前記スキャンチェーンをスキャン動作させる時に、前記スキャンチェーンを構成する一部のフリップ・フロップに、当該集積回路外部にスキャンアウトされるデータを保持し、前記スキャンデータを保持する一部のフリップ・フロップは、前記指示手段の指示に基づきマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が行なわれることを特徴とする集積回路。

【請求項5】 n 個 (n は任意の正整数) のスキャン可

2

能なフリップ・フロップからなり、当該スキャンチェーンの出力がバスである m 本 (m は任意の正整数) のスキャンチェーンと、

n 本の m ビットレジスタからなるレジスタファイルと、前記スキャンチェーンのスキャン動作開始のタイミングを指示するスキャンタイミング指示手段と、

前記スキャンチェーンの長さを考慮して、スキャン動作終了のタイミングを指示すると共に、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方の起動を指示する指示手段と、

前記スキャンタイミング指示手段の指示により、前記スキャンチェーンからスキャンアウトされたデータを前記レジスタファイルのどのレジスタに書き込むかを指示するレジスタ選択手段とを有し、

前記スキャンタイミング指示手段の指示により前記スキャンチェーンをスキャン動作させる時に、前記スキャンチェーンの最後のフリップ・フロップのデータを前記バスに出力し、前記バスに出力されたデータを前記レジスタ選択手段の指示に基づき前記レジスタファイル内に格納する動作を、スキャンチェーン長だけ行ない、前記レジスタファイルは、前記指示手段の指示に基づきマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が行なわれることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサ等の集積回路における不良解析技術に関し、特に、マイクロプロセッサ等の集積回路が簡単な構成のユーザボード（コンピュータシステム）上に搭載されている状態で、集積回路に内蔵されているスキャン機能により内部フリップ・フロップを観測可能とし、不良解析効率を向上させた集積回路に関する。

【0002】

【従来の技術】 近年の集積回路では、その不良解析を容易にするため、テスト容易化の手法を取り入れるのが一般的になりつつある。テスト容易化の手法の1つに、集積回路内のフリップ・フロップ（以下、 F/F と略記する）をスキャン化する方法がある。この手法を用いれば、順序回路を組み合わせ回路に展開することができ、任意のテストパターンを容易に設定することができる。また、任意の F/F の内容を容易に観測することも可能である。

【0003】 このようなスキャンテスト手法では、通常、全てのスキャン F/F を直列に接続してしまうと、スキャンイン、スキャンアウトする際に膨大なクロック数が必要になってしまうため、スキャンチェーンを複数に分けるパラレルスキャンの技術を用いる場合があった。

50

【0004】また、集積回路の入出力の端子数を節約するために、スキャン機能で使用する端子と機械語命令で使用する端子は共通になっている場合が多い。このため、コンピュータボード上でスキャン機能を用いた不良解析が不可能となり、LSIテストを使用しなければならない状況にある。

【0005】図5は、従来技術を説明するための集積回路内のスキャンチェーンの回路図である。スキャンチェーンは n 個のスキャン $F/Ff1 \sim f_n$ からなり、スキャン可能な構成となっている。

【0006】また、図6は図5のスキャンチェーンを用いてスキャンテストを行なう場合の動作を説明するタイミングチャートである。同図を用いて、第2クロック目にスキャンチェーン(n 個のスキャン $F/Ff1 \sim f_n$)に保持されている内容を出力する場合について説明する。尚、以下の説明では“H”レベルをアクティブ、“L”レベルをディゼーブルとする。また、第2クロック目に各スキャン $F/Ff1 \sim f_n$ に保持されているデータを、括弧“()”をつけて表すことにする。例えば、スキャン $F/Ff1$ の内容はスキャンチェーンの1番目であるため(1)と表し、スキャン $F/Ffn-1$ の内容はスキャンチェーンの $n-1$ 番目であるため($n-1$)と表す。

【0007】まず、第1クロックの途中でスキャン開始の信号(被測定デバイスDUTの入力端子より入力される信号)を“H”レベルにする。これにより、第2クロック目の最初からスキャン $F/Ff1$ の内容(1)が被測定デバイスDUTの出力端子よりスキャンアウトされる。次に第3クロック目では、 i 番目のスキャン F/Ffi から $i-1$ 番目のスキャン $F/Ffi-1$ に転送されて、順次1ビットずつ内容がシフトされ、スキャン $F/Ff2$ の内容(2)が被測定デバイスDUTの出力端子よりスキャンアウトされる。以下、同様の操作を順次行なって、最後に第 n クロックでスキャン F/Ffn の内容(n)が被測定デバイスDUTの出力端子よりスキャンアウトされる。

【0008】

【発明が解決しようとする課題】従って、従来の集積回路では、不良解析を効率良く行なうためにスキャン機能が内蔵されているが、スキャン機能を使用する際の端子の定義は、通常の機械語命令で使用する際のそれと異なっているため、スキャン機能を用いた集積回路の不良解析はLSIテストを用いて行なわざるを得なかった。このため、LSIテスト以外ではせっかくのスキャン機能を利用することができず、通常、LSIテストは数千万円以上のコストを要するので、不良解析のコストが増大してしまうという問題があった。

【0009】また、LSIテストは専門的教育を行なったオペレータしか操作することができず、集積回路を設計した技術者が簡単に操作できないために、不良解析の

効率が低下してしまうという問題があった。

【0010】本発明は、上記問題点を解決するもので、その目的は、マイクロプロセッサ等の集積回路がユーザボード(コンピュータシステム)上に搭載されている状態で、集積回路に内蔵されているスキャン機能により内部フリップ・フロップを観測でき、各種不良解析を効率良く行なうことの可能な集積回路を提供することである。

【0011】

10 【課題を解決するための手段】前記課題を解決するために、本発明の第1の特徴は、図1に示す如く、複数のスキャン可能なフリップ・フロップ $f1 \sim fn$ 及び $B1 \sim Bn$ からなるスキャンチェーン S を具備し、前記スキャンチェーン S を構成するフリップ・フロップの一部または全部 $B1 \sim Bn$ が、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が可能であることである。

20 【0012】また、本発明の第2の特徴は、図1に示す如く、複数のスキャン可能なフリップ・フロップ $f1 \sim fn$ 及び $B1 \sim Bn$ からなるスキャンチェーン S を具備し、前記スキャンチェーン S をスキャン動作させる時に、前記スキャンチェーン S を構成する一部のフリップ・フロップ $B1 \sim Bn$ に、当該集積回路外部にスキャンアウトされるデータを保持し、前記スキャンデータを保持する一部のフリップ・フロップ $B1 \sim Bn$ は、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が可能であることである。

30 【0013】本発明の第3の特徴は、図1に示す如く、複数のスキャン可能なフリップ・フロップ $f1 \sim fn$ 及び $B1 \sim Bn$ からなるスキャンチェーン S と、前記スキャンチェーン S のスキャン動作開始のタイミングを指示するスキャンタイミング指示手段40とを具備し、前記スキャンタイミング指示手段40の指示により前記スキャンチェーン S をスキャン動作させる時に、前記スキャンチェーン S を構成する一部のフリップ・フロップ $B1 \sim Bn$ に、当該集積回路外部にスキャンアウトされるデータを保持し、前記スキャンデータを保持する一部のフリップ・フロップ $B1 \sim Bn$ は、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が可能であることである。

40 【0014】本発明の第4の特徴は、図1に示す如く、複数のスキャン可能なフリップ・フロップ $f1 \sim fn$ 及び $B1 \sim Bn$ からなるスキャンチェーン S と、前記スキャンチェーン S のスキャン動作開始のタイミングを指示するスキャンタイミング指示手段40と、前記スキャンチェーン S の長さを考慮して、スキャン動作終了のタイミングを指示すると共に、マイクロ命令、機械語命令、

5

或いはマイクロ命令及び機械語命令の両方の起動を指示する指示手段50とを具備し、前記スキャンタイミング指示手段40の指示により前記スキャンチェーンSをスキャン動作させる時に、前記スキャンチェーンSを構成する一部のフリップ・フロップB1～Bnに、当該集積回路外部にスキャンアウトされるデータを保持し、前記スキャンデータを保持する一部のフリップ・フロップB1～Bnは、前記指示手段50の指示に基づきマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が行なわれることである。

【0015】更に、本発明の第5の特徴は、図2に示す如く、n個（nは任意の正整数）のスキャン可能なフリップ・フロップf1～fn及びg1～gnからなり、当該スキャンチェーンの出力がバス170であるm本（mは任意の正整数、図2ではm=2）のスキャンチェーンSf及びSgと、n本のmビットレジスタR1～Rnからなるレジスタファイル110と、前記スキャンチェーンSf及びSgのスキャン動作開始のタイミングを指示するスキャンタイミング指示手段40と、前記スキャンチェーンSf及びSgの長さを考慮して、スキャン動作終了のタイミングを指示すると共に、マイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方の起動を指示する指示手段50と、前記スキャンタイミング指示手段40の指示により、前記スキャンチェーンSf及びSgからスキャンアウトされたデータを前記レジスタファイル110のどのレジスタR1～Rnに書き込むかを指示するレジスタ選択手段130とを具備し、前記スキャンタイミング指示手段40の指示により前記スキャンチェーンSf及びSgをスキャン動作させる時に、前記スキャンチェーンSfまたはSgの最後のフリップ・フロップf1またはg1のデータを前記バス170に出力し、前記バス170に出力されたデータを前記レジスタ選択手段130の指示に基づき前記レジスタファイル110内に格納する動作を、スキャンチェーン長だけ行ない、前記レジスタファイル110は、前記指示手段50の指示に基づきマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方が行なわれることである。

【0016】

【作用】本発明の第1、第2、第3、及び第4の特徴の集積回路では、図1に示す如く、複数のスキャン可能なフリップ・フロップf1～fn及びB1～BnからなるスキャンチェーンSの内、一部のフリップ・フロップB1～Bnに対して、スキャンタイミング指示手段40の指示によりスキャンチェーンSをスキャン動作させる時に、当該集積回路外部にスキャンアウトされるべきデータを保持し、指示手段50の指示に基づきマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の

6

両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方を行なうようにしている。

【0017】これにより、スキャンを用いた集積回路の不良解析に大掛かりなLSIテスタ（数千万円以上）を用いることなく、簡単な構成のコンピュータボード（数十万円）を用いて行なうことができ、不良解析のコストを大幅に軽減することができ、また、LSIテスタを用いる場合のように高度な操作技術を必要とせず、評価する集積回路の知識だけで各種不良解析を効率良く行なうことが可能となる。

【0018】また、本発明の第5の特徴の集積回路では、図2に示す如く、n個（nは任意の正整数）のスキャン可能なフリップ・フロップf1～fn及びg1～gnからなり、当該スキャンチェーンの出力がバス170であるm本（mは任意の正整数、図2ではm=2）のスキャンチェーンSf及びSgと、n本のmビットレジスタR1～Rnからなるレジスタファイル110とを備えて構成し、スキャンタイミング指示手段40の指示によりスキャンチェーンSf及びSgをスキャン動作させる時に、スキャンチェーンSfまたはSgの最後のフリップ・フロップf1またはg1のデータをバス170に出力し、バス170に出力されたデータをレジスタ選択手段130の指示に基づきレジスタファイル110内に格納する動作を、スキャンチェーン長だけ行ない、レジスタファイル110に対して、指示手段50の指示に基づいてマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方を行なうようにしている。

【0019】これにより、上述した第1、第2、第3、及び第4の特徴の集積回路と同等の効果を實現できる。

【0020】

【実施例】以下、本発明に係る実施例を図面に基いて説明する。

【0021】図1に本発明の第1の実施例に係る集積回路の回路構成図を示す。

【0022】同図において、本実施例の集積回路は、スキャン可能なスキャンフリップ・フロップ（以下F/Fと略記する）f1～fnと、当該スキャンチェーンSの一部を構成する各スキャンF/Ff1～fn内のデータを保持するスキャン可能なレジスタファイル60とからなるスキャンチェーンSと、マイクロプログラムのアドレスを格納するマイクロアドレスレジスタ（以下MARという）80と、マイクロプログラムを格納するマイクロROM（以下μROMという）90と、μROM90から読み出された機械語命令の内容をデコードしたデータを格納しておくマイクロインストラクションレジスタ（以下MIRという）100と、スキャンの開始タイミング信号scsを生成するスキャン開始タイミング発生回路40と、外部スキャン要求信号scr、スキャン開

50

7

始タイミング信号 $s c s$ 、及びスキャン制御 $F / F 3 0$ 出力 $s c$ の論理和を取る OR ゲート 20 と、OR ゲート 20 出力をリセット信号 $r s t$ によりリセットされるまで保持するスキャン制御 $F / F 3 0$ と、スキャンチェーン長を考慮して、スキャンチェーン S を構成する全てのスキャン $F / F f 1 \sim f n$ の内容がスキャンアウトされた時点でリセット信号 $r s t$ をスキャン制御 $F / F 3 0$ に対して出力し、且つ、機械語命令の実行開始に必要なデータをセットするリセット信号発生回路 50 と、レジスタファイル 60 よりスキャンアウトされたデータと集積回路外部からのスキャン入力とを選択してスキャンチェーン S へ供給するセレクタ 70 とから構成されている。

【0023】尚、スキャンチェーン S を構成するスキャン $F / F f 1 \sim f n$ は、クロック $C L K$ により i 番目のスキャン $F / F f i$ から $i - 1$ 番目のスキャン $F / F f i - 1$ に転送されて、順次 1 ビットずつ内容がシフトされ、スキャン $F / F f 1$ からスキャンアウトされる構成となっている。

【0024】次に、本実施例の集積回路の動作を図 2 に示すタイミングチャートを用いて説明する。ここでは、動作周波数を上げた時の不良解析について説明する。つまり、不良が発生した時のスキャン $F / F f 1 \sim f n$ の内容と不良が発生しない時のスキャン $F / F f 1 \sim f n$ の内容を収集し、比較することによって不良原因を突き止める。また、クロック信号 $C L K$ の第 2 クロック目に不良原因があるとして、第 2 クロック目のスキャン $F / F f 1 \sim f n$ の内容を出力することとする。また以下の説明では従来例と同様に、“H” レベルをアクティブ、“L” レベルをディゼーブルとし、第 2 クロック目に各スキャン $F / F f 1 \sim f n$ に保持されているデータを、括弧 “ () ” をつけて表すことにする。

【0025】先ず、フェイル（不良が発生）する場合について説明する。ここで、本実施例の集積回路のスキャン機能は不良に対して充分速く動作するものとし、不良を発生させるため、第 1 クロック目及び第 2 クロック目は高速で動作させ、第 3 クロック目以降は低速で動作させるものとする。

【0026】第 1 クロック目の途中でスキャン開始タイミング発生回路 40 からのスキャン開始タイミング信号 $s c s$ が “H” レベルとなり、OR ゲート 20 の出力が “H” レベルとなる。

【0027】これにより、第 2 クロック目でスキャン制御 $F / F 3 0$ の出力 $s c$ が “H” レベルとなって、スキャンチェーン S を構成する全てのスキャン $F / F f 1 \sim f n$ はスキャン動作を行なうこととなり、スキャン $F / F f 1$ の内容 (1) が集積回路外にスキャンアウトされる。

【0028】第 3 クロック目では、第 2 クロック目でスキャンアウトされたスキャン $F / F f 1$ の内容 (1) が

8

レジスタファイル 60 の 1 ビット目 $B 1$ に格納され、スキャン $F / F f n - 1$ の内容は (n) となり、またスキャン $F / F f 1$ の内容は (2) となってスキャンアウトされる。

【0029】以下、同様に動作し、第 n クロック目ではスキャン $F / F f 1$ の内容は (n - 1) となり、(n - 1) がスキャンアウトされる。そしてレジスタファイル 60 の 1 ビット目 $B 1$ に (n + 2) が格納される。

【0030】第 $n + 1$ クロック目では、スキャン $F / F f 1$ の内容は (n) となり、(n) がスキャンアウトされ、レジスタファイル 60 の第 1 ビット目 $B 1$ には (n - 1) が、 $n - 1$ ビット目 $B n - 1$ には (1) が格納される。

【0031】同様に、第 $n + 2$ クロック目では、レジスタファイル 60 の第 1 ビット目 $B 1$ には (n) が、 $n - 1$ ビット目 $B n - 1$ には (2) が、 n ビット目 $B n$ には (1) が格納される。

【0032】第 $n + 3$ クロック目でリセット信号発生回路 50 からのリセット信号 $r s t$ が “H” レベルとなり、MAR 80 に所定のアドレスがセットされ、それに該当するマイクロプログラムを $\mu R O M 9 0$ から読み出して $M I R 1 0 0$ にセットする。その後、通常の機械語命令 (MOV 命令等) が起動してレジスタファイル 60 の内容を読み出す。

【0033】次に、パスする（不良が発生しない）場合については、同様の動作を低速にて行なう。そして、機械語命令により読み出したレジスタファイル 60 の内容を比較して不良解析を行なう。

【0034】本実施例では、スキャン開始タイミング発生回路 40 の指示によりスキャン動作が開始することとしたが、集積回路がマイクロプロセッサ等である場合には、マイクロプロセッサ内に組み込まれているセルフデバッグ関係の機能（例えば、アドレスマッチ機能、オペランドマッチ機能）を使用してスキャン動作を開始させてもよい。

【0035】また、スキャンチェーン S へのスキャンインは、セレクタ 70 を使用して、集積回路外部からのデータをスキャンインしても、或いはレジスタファイル 60 の内容をもう一度スキャン $F / F f 1 \sim f n$ にスキャンインしても構わない。

【0036】次に、図 3 に本発明の第 2 の実施例に係る集積回路の回路構成図を示す。

【0037】本実施例の集積回路は、第 1 の実施例の集積回路において、スキャンチェーン S を、スキャン $F / F f 1 \sim f n$ からなる第 1 のスキャンチェーン $S f$ と、スキャン $F / F g 1 \sim g n$ からなる第 2 のスキャンチェーン $S g$ とによる構成とし、レジスタファイル 110 を複数のレジスタ $R 1 \sim R n$ で構成している。また、レジスタファイル 110 内のレジスタ $R 1 \sim R n$ を選択する信号 $s e l$ を生成するレジスタ番号セレクト回路 130

を備え、選択信号 sel によりレジスタ $R1 \sim Rn$ を選択するセクタ 120 を制御している。尚、各スキャンチェーン Sf 及び Sg から出力されたデータはバス 170 を介してセクタ 120 に供給される。

【0038】具体的な動作は、第1の実施例とほぼ同様であるが、レジスタファイル 110 への入力方法が異なる。第1の実施例ではスキャンチェーン S とレジスタファイル 60 は専用のラインでデータ転送していたが、本実施例ではバス 170 を介してデータ転送される。図4に、 n 本のスキャンチェーンを備える場合のレジスタファイル 110 への格納方法を示す。本実施例では、2本のスキャンチェーン Sf 及び Sg を備えているので、各レジスタ $R1 \sim Rn$ は2ビット構成となる。

【0039】尚、本実施例では、レジスタファイル 110 のどのレジスタ $R1 \sim Rn$ に格納するかを制御するために、専用のレジスタ番号セレクト回路 130 を用いたが、汎用のマイクロ命令を用いて制御しても構わない。

【0040】

【発明の効果】以上のように本発明によれば、複数のスキャン可能なフリップ・フロップからなるスキャンチェーンの内、一部のフリップ・フロップに対して、スキャンタイミング指示手段の指示によりスキャンチェーンをスキャン動作させる時に、当該集積回路外部にスキャンアウトされるべきデータを保持し、指示主段の指示に基づきマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方を行なうこととしたので、スキャンを用いた集積回路の不良解析に大掛かりな LSI テスタを用いることなく、簡単な構成のコンピュータボードを用いて行なうことができ、不良解析のコストを大幅に軽減することができ、また、 LSI テスタを用いる場合のように高度な操作技術を必要とせず、評価する集積回路の知識だけで各種不良解析を効率良く行なうことが可能な集積回路を提供することができる。

【0041】また、本発明によれば、 n 個 (n は任意の正整数) のスキャン可能なフリップ・フロップからなり、当該スキャンチェーンの出力がバスである m 本 (m は任意の正整数) のスキャンチェーンと、 n 本の m ビットレジスタからなるレジスタファイルとを備えて構成し、スキャンタイミング指示手段の指示によりスキャンチェーンをスキャン動作させる時に、スキャンチェーンの最後のフリップ・フロップのデータをバスに出力し、バスに出力されたデータをレジスタ選択手段の指示に基づきレジスタファイル内に格納する動作を、スキャンチェーン長だけ行ない、レジスタファイルに対して、指示主段の指示に基づいてマイクロ命令、機械語命令、或いはマイクロ命令及び機械語命令の両方により、読み出し、書き込み、或いは読み出し及び書き込みの両方を行

なうこととしたので、上述した効果と同等の効果を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る集積回路の回路構成図である。

【図2】第1の実施例の集積回路の動作を説明済つタイミングチャートである。

【図3】本発明の第2の実施例に係る集積回路の回路構成図である。

【図4】第2の実施例の集積回路の動作を説明済つタイミングチャートである。

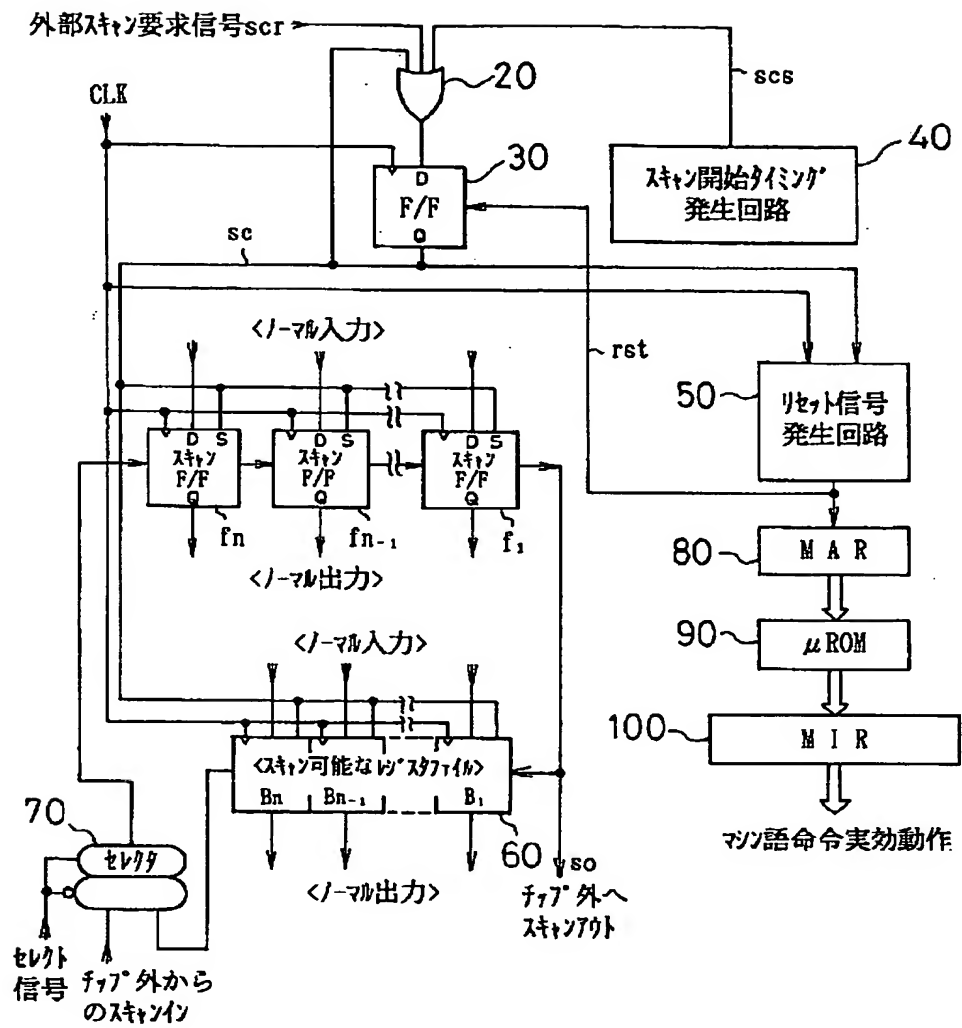
【図5】従来技術を説明するためのスキャンチェーンの回路図である。

【図6】図5のスキャンチェーンを用いてスキャンテストを行なう場合の動作を説明するタイミングチャートである。

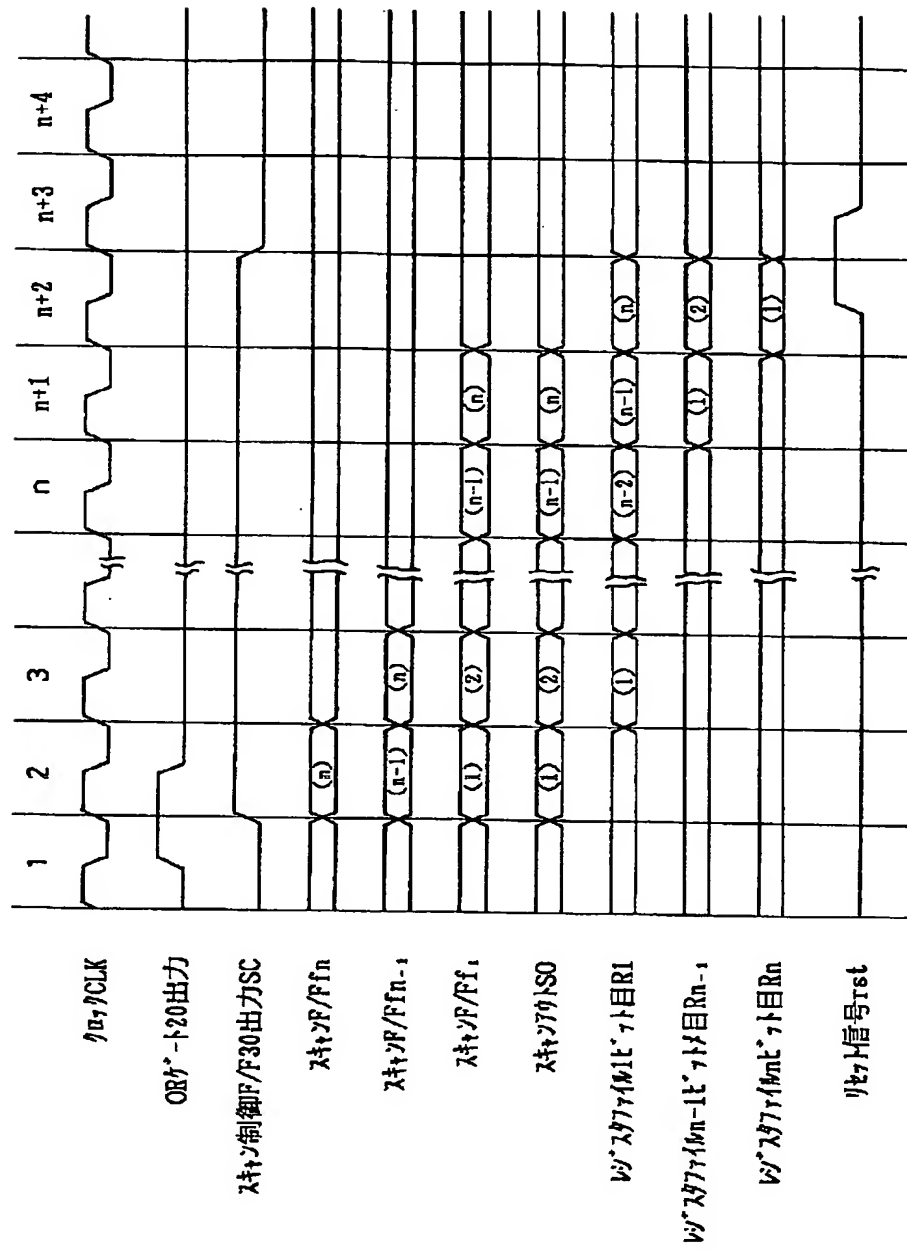
【符号の説明】

$f1 \sim fn$, $g1 \sim gn$ スキャンフリップ・フロップ
 S スキャンチェーン
 20 OR ゲート
 30 スキャン制御 F/F
 40 スキャン開始タイミング発生回路 (スキャンタイミング指示手段)
 50 リセット信号発生回路 (指示手段)
 60 レジスタファイル
 70 セクタ
 80 アイクロアドレスレジスタ (MAR)
 90 マイクロROM (μROM)
 100 マイクロインストラクションレジスタ (MIR)
 CLK クロック
 $s cs$ スキャン開始タイミング信号
 $s cr$ 外部スキャン要求信号
 $s cs$ スキャン開始タイミング信号
 $s c$ スキャン制御 F/F 30 出力
 rst リセット信号
 SO スキャンアウト
 Sf 第1のスキャンチェーン
 Sg 第2のスキャンチェーン
 40 110 レジスタファイル
 $R1 \sim Rn$ レジスタ
 120 セクタ
 130 レジスタ番号セレクト回路 (レジスタ選択手段)
 sel 選択信号
 170 バス
 st スキャン開始信号

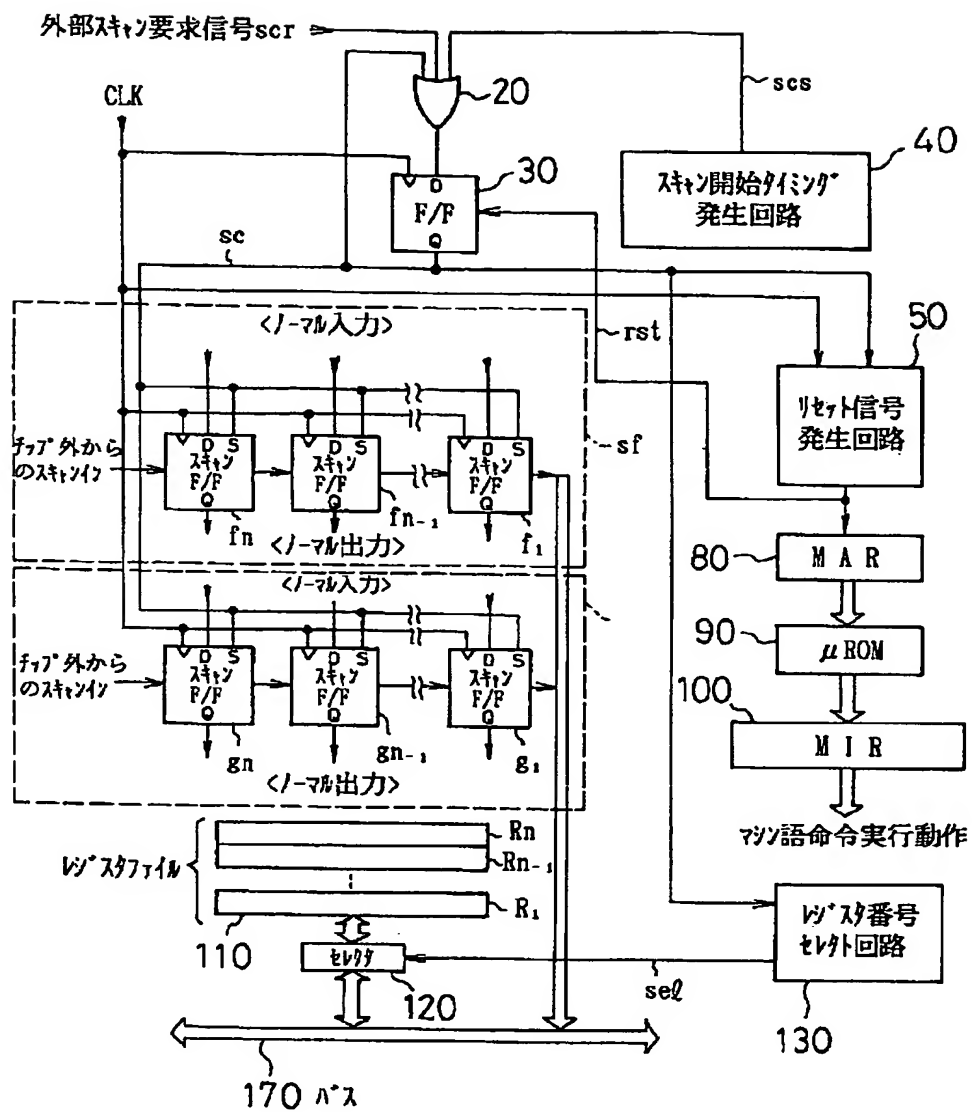
【図 1】



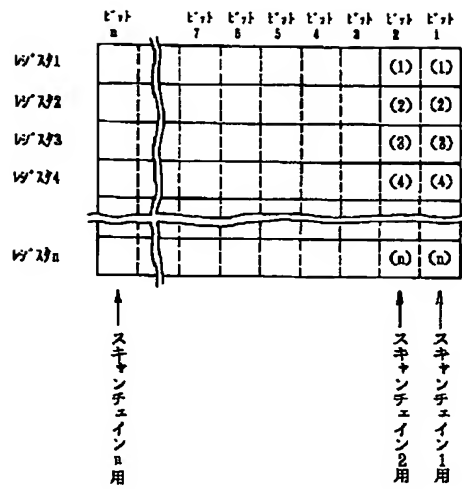
【図2】



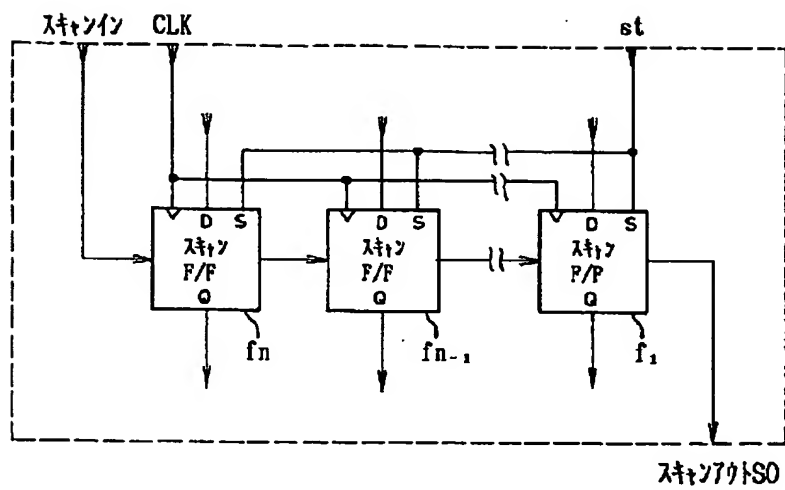
【図3】



【図4】



【図5】



【図6】

